

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-098409
(43)Date of publication of application : 07.04.2000

BEST AVAILABLE COPY

(51)Int.Cl.

G02F 1/1343
G02F 1/136
G09F 9/30

(21)Application number : 10-270352
(22)Date of filing : 24.09.1998

(71)Applicant : SEIKO EPSON CORP

(22) Date of filing : 24.09.1998

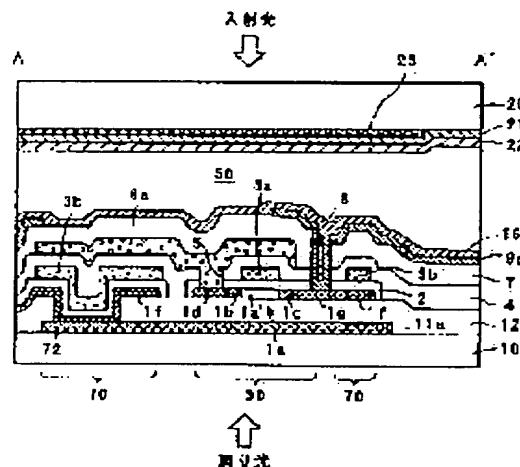
(72)Inventor : KOIDE SEIKI
KURASHINA HISAKI

(54) ELECTROOPTICAL DEVICE AND ITS MANUFACTURE, AND ELECTRONIC EQUIPMENT

(57)Abstract:

PROBLEM TO BE SOLVED: To reduce display irregularity and to display an high quality image in an electrooptical device such as a liq. crystal device with an active matrix driving system by forming a storage capacitance having sufficiently large in every pixel and high uniformity every inter-pixel without reducing pixel aperture rate.

SOLUTION: This liq. crystal device is provided with a liq. crystal layer 50 held between a pair of substrates and with a pixel electrode 9a arranged in matrix like on a TFT array substrate 10. First shield film 11a is provided in a lower side of a TFT 30. A storage capacitance 70 arranged in an adjacent relation to every pixel and connected in parallel with a liq. crystal capacitance is formed also in grooves 72 and becomes a large capacitance by having three-dimensional extent.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C) 1998,2000 Japan Patent Office

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-98409

(P2000-98409A)

(43)公開日 平成12年4月7日(2000.4.7)

(51)Int.Cl. ¹	識別記号	F I	マーク ² (参考)
G 0 2 F 1/1343		G 0 2 F 1/1343	2 H 0 9 2
1/136	5 0 0	1/136	5 0 0
G 0 9 F 9/30	3 3 8	G 0 9 F 9/30	5 C 0 9 4

審査請求 未請求 請求項の数12 O L (全 19 頁)

(21)出願番号 特願平10-270352

(22)出願日 平成10年9月24日(1998.9.24)

(71)出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(72)発明者 小出 清貴

長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

(72)発明者 倉科 久樹

長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

(74)代理人 100093388

弁理士 鈴木 喜三郎 (外2名)

最終頁に統く

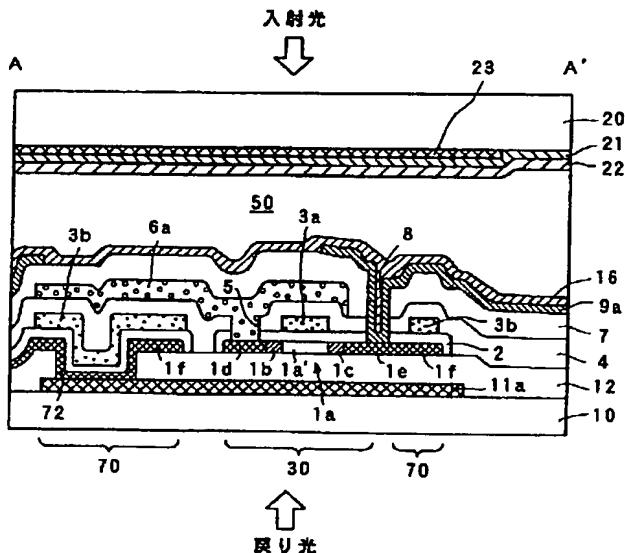
(54)【発明の名称】 電気光学装置及びその製造方法並びに電子機器

(57)【要約】

【課題】 アクティブマトリクス駆動方式の液晶装置等の電気光学装置において、画素開口率を低めることなく各画素毎に十分に大きく且つ各画素間で均一性の高い蓄積容量を形成し、表示ムラを低減すると共に高品位画像を表示する。

【解決手段】 液晶装置は、一対の基板間に挟持された液晶層(50)と、TFTアレイ基板(10)にマトリクス状に設けられた画素電極(9a)とを備える。TFT(30)の下側には、第1遮光膜(11a)が設けられている。各画素電極に隣接して設けられ、液晶容量と並列接続される蓄積容量(70)は、溝(72)内にも形成されており、3次元的な広がりを持つことで大容量とされている。

図2のA-A'断面図



【特許請求の範囲】

【請求項1】 一対の基板間に電気光学物質が挟持されたり、該一対の基板の一方の基板上に、マトリクス状に配置された複数の画素電極と、該複数の画素電極を夫々駆動する複数の薄膜トランジスタと、前記複数の画素電極に夫々並列接続された複数の蓄積容量と、前記複数の薄膜トランジスタに夫々接続されており相交差する複数のデータ線及び複数の走査線と、前記複数の薄膜トランジスタを構成する半導体層の少なくともチャネル領域及び前記複数の蓄積容量の一部を前記一方の基板の側から見て夫々覆う位置に設けられた遮光膜と、該遮光膜及び前記薄膜トランジスタの間に介在すると共に前記複数の蓄積容量の一部に夫々対向する各箇所に前記薄膜トランジスタ側から前記遮光膜側に至る溝が掘られている層間絶縁膜とを備えており、前記複数の蓄積容量の一部は夫々、前記溝の側壁を規定する前記層間絶縁膜部分上及び前記溝の底を規定する前記遮光膜部分上に形成されていることを特徴とする電気光学装置。

【請求項2】 前記複数の蓄積容量は夫々、前記溝内に形成された一部から延設されて前記溝外の前記層間絶縁膜上にも形成されていることを特徴とする請求項1に記載の電気光学装置。

【請求項3】 前記複数の蓄積容量は夫々、前記一方の基板上において前記走査線に沿った領域と前記データ線下に位置する領域とに形成されていることを特徴とする請求項1又は2に記載の電気光学装置。

【請求項4】 前記複数の蓄積容量は夫々、前記側壁を規定する前記層間絶縁膜部分上及び前記底を規定する前記遮光膜部分上に順に積層された、第1導電膜、第1絶縁膜及び第2導電膜を含むことを特徴とする請求項1から3のいずれか一項に記載の電気光学装置。

【請求項5】 前記複数の蓄積容量は夫々、前記第2導電膜上に順に積層された、第2絶縁膜及び第3導電膜を更に備えたことを特徴とする請求項4に記載の電気光学装置。

【請求項6】 前記複数の蓄積容量は夫々、前記第1導電膜と前記側壁を規定する層間絶縁膜部分及び前記底を規定する遮光膜部分との間に介在する第3絶縁膜を更に備えたことを特徴とする請求項4又は5に記載の電気光学装置。

【請求項7】 前記第1から第3導電膜のうち少なくとも一つは、前記薄膜トランジスタ、前記データ線及び前記走査線を構成する複数の導電膜のうちいずれか一つと同一膜からなることを特徴とする請求項4から6のいずれか一項に記載の電気光学装置。

【請求項8】 前記第1から第3絶縁膜のうち少なくと

も一つは、前記薄膜トランジスタを構成する絶縁膜並びに前記薄膜トランジスタ、前記データ線及び前記走査線を相互に絶縁する複数の絶縁膜のうちいずれか一つと同一膜からなることを特徴とする請求項4から7のいずれか一項に記載の電気光学装置。

【請求項9】 前記遮光膜は、Ti、Cr、W、Ta、Mo及びPdのうちの少なくとも一つを含むことを特徴とする請求項1から8のいずれか一項に記載の電気光学装置。

【請求項10】 前記側壁を規定する層間絶縁膜部分はテーパ状に形成されていることを特徴とする請求項1から9のいずれか一項に記載の電気光学装置。

【請求項11】 請求項1に記載の電気光学装置の製造方法であって、

前記一方の基板上の所定領域に前記遮光膜を形成する工程と、

前記一方の基板及び前記遮光膜上に前記層間絶縁膜を堆積する工程と、

前記層間絶縁膜上に前記溝に対応するレジストパターンをフォトリソグラフィで形成する工程と、

該レジストパターンを介して所定時間のエッチングを行い前記遮光膜に至るまで前記溝を掘る工程と、

前記層間絶縁膜上に前記薄膜トランジスタ及び前記走査線を形成すると共に少なくとも前記溝内に前記蓄積容量を形成する工程と、

前記薄膜トランジスタ、前記走査線及び前記蓄積容量上に他の層間絶縁膜を介して前記データ線を形成する工程とを含むことを特徴とする電気光学装置の製造方法。

【請求項12】 請求項1乃至請求項10のいずれか一項に記載の電気光学装置を備えたことを特徴とする電子機器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、薄膜トランジスタ(以下適宜、TFT(Thin Film Transistor)と称す)駆動によるアクティブマトリクス駆動方式の液晶装置を一例とする電気光学装置及びその製造方法の技術分野に属し、特に、液晶プロジェクタ等に用いられる、TFTの下側に遮光膜を設けた形式の電気光学装置及びその製造方法の技術分野に属する。

【0002】

【従来の技術】 従来、TFTアクティブマトリクス駆動方式の液晶装置においては、走査信号及びデータ信号が、複数の走査線及び複数のデータ線に夫々所定タイミングで供給されて、所謂フィールド或いはフレーム走査が行われ、画面全体における画像表示が行われる。そして、画素スイッチング用のTFTは、これら走査線及びデータ線の交点に対応して各画素毎に設けられており、走査信号がそのゲートに供給されると導通状態となって、そのソースードレイン間を介して各画素電極にデー

タ信号が書込まれるように構成されている。ここで、各 TFT が導通状態とされる期間は、画面全体を走査する期間（例えば、1 フィールド或いは 1 フレーム走査期間）と比較して極めて短い。即ち、所謂デューティー比は高い。従って、各 TFT が導通状態とされる時間よりも遙かに長い時間に亘って、画素電極に印加されたデータ信号に応じた電圧を保持させるために、画素電極と対向電極間に形成される液晶容量と並列に蓄積容量が設けられるのが一般的である。より具体的には、各 TFT のドレイン領域を形成するポリシリコン膜（半導体膜）を延設して第 1 蓄積容量電極とし、このポリシリコン膜上に形成されるゲート絶縁膜を延設して誘電体膜とし、更にゲート電極又は走査線若しくはデータ線を構成する導電膜と同一膜により第 2 蓄積容量電極を形成して、誘電体膜を第 1 及び第 2 蓄積容量電極で挟持するコンデンサ構造を構築する。同時にこれらの第 1 及び第 2 蓄積容量電極が、画素電極や容量線に電気的接続された構造を採ることにより、液晶容量と並列接続された蓄積容量が設けられる。

【0003】このように構成された蓄積容量により、画素電極の電圧は、各 TFT が導通状態とされる時間よりも例えば 3 行も長い時間だけ保持される。これにより、デューティー比が低くても、コントラスト比の高い液晶装置が実現できる。特に、解像度が高くドット周波数が高い駆動を行う程、デューティー比が高くなるため、より大きな蓄積容量が必要とされる。

【0004】これに対して、液晶装置の技術分野ではコントラスト比を高めると共に表示画像を明るくするという基本的な要請がある。このため、各画素における開口領域（即ち、画像表示領域内において表示光が透過する領域）を相対的に広げること、即ち、各画素において全領域（開口領域 + 非開口領域）に対する開口領域の比率（以下適宜、“画素開口率”と称す）を高めることが極めて重要となる。しかるに、上述の如き蓄積容量を形成可能な基板上領域は、一般に画素の非開口領域に限られるため、画素開口率を低下させることなく蓄積容量を増加させることは、上述の如き伝統的な蓄積容量の構成では、本質的な限界がある。

【0005】このため近年“トレンチ”と称される溝を、蓄積容量を形成可能な基板上領域に設けて、このトレンチ内にも、断面形状が凹状である一対の蓄積容量電極及びこれらに挟持された誘電体膜（絶縁膜）を形成することにより、3 次元的な広がりを持つ蓄積容量を構築する技術が、本願出願人により特開昭64-81262号公報で提案されている。この技術によれば、トレンチ外及びトレンチの底のみならず、トレンチの側壁に沿っても容量が形成されるので、全体として容量の面積が増加し、同一の基板上領域において形成可能な容量を効率的に増加させることできる。より具体的には、このトレンチは、石英等からなる TFT アレイ基板にエッチング

を施すことにより開孔される。そして、その開孔後に薄膜形成技術等により、第 1 蓄積容量電極となる導電膜、誘電体膜（絶縁膜）及び第 2 蓄積容量電極となる導電膜が順に積層形成され、その際、トレンチの側壁にも各薄膜が同様に積層形成されることにより、このような 3 次元的な広がりを有する蓄積容量が設けられるのである。

【0006】他方、この種の液晶装置が液晶プロジェクタ等にライトバルブとして用いられる場合には一般に、液晶層を挟んで TFT アレイ基板に対向配置される対向基板の側から投射光が入射される。ここで、投射光が画素部の TFT の a-Si（アモルファスシリコン）膜や p-Si（ポリシリコン）膜等からなる半導体層のチャネル領域に入射すると、このチャネル領域において光電変換効果により光電流が発生してしまい、TFT のトランジスタ特性が劣化する。このため、対向基板には、各 TFT に夫々対向する位置に、Cr（クロム）などの金属材料や樹脂ブラックなどからブラックマトリクス或いはブラックマスクと呼ばれる遮光膜が形成されるのが一般的である。この遮光膜は、各画素開口領域を規定することにより、TFT の半導体層に対する遮光の他に、コントラストの向上、色材の混色防止などの機能を果たしている。

【0007】更に、この種の液晶装置においては、特にトップゲート構造（即ち、TFT アレイ基板上においてゲート電極がチャネルの上側に設けられた構造）を探る正スタガ型又はコプラナー型の a-Si 又は p-Si TFT を用いる場合には、投射光の一部が液晶プロジェクタ内の投射光学系により戻り光として、TFT アレイ基板の側から TFT のチャネル領域に入射するのを防ぐ必要がある。同様に、投射光が通過する際の TFT アレイ基板の表面からの反射光や、更にカラー用に複数の液晶装置を組み合わせて使用する場合の他の液晶装置から射した後に投射光学系を突き抜けてくる投射光の一部が、戻り光として TFT アレイ基板の側から TFT のチャネル領域に入射するのを防ぐ必要もある。このために、特開平9-127497号公報、特公平3-52611号公報、特開平3-125123号公報、特開平8-171101号公報等では、石英基板等からなる TFT アレイ基板上において TFT に対向する位置（即ち、TFT の下側）にも、例えは不透明な高融点金属から遮光膜を形成した液晶装置を提案している。

【0008】

【発明が解決しようとする課題】しかしながら、上述したトレンチを設けて 3 次元的に蓄積容量を増加させる技術によれば、各画素毎にその蓄積容量を増加させることは可能であるが、トレンチの深さに応じて、形成される容量にバラツキが生じてしまう。即ち、エッチング条件の僅かな変化に起因して開孔されるトレンチの深さが異なる場合、トレンチの側壁の面積が異なるため、この側壁の面積に比例する側壁における蓄積容量部分の容量が

異なってしまうのである。つまり、この種の蓄積容量においては、3次元的な構造を探ることによる容量増加分には、バラツキが生じてしまう。そして、このような各画素間における蓄積容量のバラツキは、各画素間における液晶印加電圧のバラツキにつながるため、最終的には、当該液晶装置における表示ムラの原因となってしまうという問題点がある。

【0009】逆に、このような蓄積容量のバラツキを抑えるためにトレンチを形成しないのでは、十分な蓄積容量を確保することが困難となり、蓄積容量によるクロストークを低減する機能やコントラスト比を向上させる機能を十分に発揮させることができない。或いは、十分な蓄積容量を確保するためには、画素開口率を高く維持することが困難となるという問題点がある。

【0010】本発明は上述した問題点に鑑みなされたものであり、TFTアクティブマトリクス駆動方式の液晶装置において、各画素毎に十分に大きく且つ各画素間で均一性の高い蓄積容量により、表示ムラが低減されており高品位の画像表示が可能な液晶装置及びその製造方法を提供することを課題とする。

【0011】

【課題を解決するための手段】本発明の電気光学装置は上記課題を解決するために、一対の基板間に電気光学物質が挟持されてなり、該一対の基板の一方の基板上に、マトリクス状に配置された複数の画素電極と、該複数の画素電極を夫々駆動する複数の薄膜トランジスタと、前記複数の画素電極に夫々並列接続された複数の蓄積容量と、前記複数の薄膜トランジスタに夫々接続されており相交差する複数のデータ線及び複数の走査線と、前記複数の薄膜トランジスタを構成する半導体層の少なくともチャネル領域及び前記複数の蓄積容量の一部を前記一方の基板の側から見て夫々覆う位置に設けられた遮光膜と、該遮光膜及び前記薄膜トランジスタの間に介在すると共に前記複数の蓄積容量の一部に夫々対向する各箇所に前記薄膜トランジスタ側から前記遮光膜側に至る溝が掘られている層間絶縁膜とを備えており、前記複数の蓄積容量の一部は夫々、前記溝の側壁を規定する前記層間絶縁膜部分上及び前記溝の底を規定する前記遮光膜部分上に形成されている。

【0012】本発明の電気光学装置によれば、画素電極に並列接続された蓄積容量の一部は、層間絶縁膜に掘られた溝（即ち、トレンチ）の側壁を規定する層間絶縁膜部分上に形成されており、溝の底を規定する遮光膜部分上にも形成されている。尚、蓄積容量の他部は、溝外における層間絶縁膜上に形成されていてもよいことは言うまでもない。このように、溝内にまで、蓄積容量が形成されているため、溝のない場合と比較して、限られた基板上領域内により大容量の蓄積容量を形成することが可能となる。ここで特に、溝は、層間絶縁膜を薄膜トランジスタ側から遮光膜側に至るまで掘られているので、各

溝の深さを、層間絶縁膜の厚みと実践的な意味でほぼ又は完全に一致させることができ可能となる。即ち、複数の画素電極に対応して設けられる複数の溝の深さは、相互にほぼ又は完全に均一とされる。この結果、溝を利用して3次元的な広がりを持つ蓄積容量により十分な容量を確保しつつ、溝の深さの不均一に起因した容量のバラツキを低減することが出来、最終的に蓄積容量の各画素間におけるバラツキに起因した表示ムラを低減できる。

【0013】以上のように本発明によれば、特開昭64-81262号公報に開示された従来技術の如く分厚い石英基板の途中まで溝を掘るのと比較すると、形成される蓄積容量の均一性が格段に向上し、当該蓄積容量のバラツキに起因した表示ムラを顕著に低減することが可能となり、特に大きな蓄積容量を必要とする高解像度で高ドット周波数の明るい画像表示を良好に行うことが可能となる。

【0014】尚、各画素に対応する各蓄積容量における溝の数は、一つでもよいし複数でもよい。溝の数が複数あれば、各蓄積容量に対応する溝の側壁の合計面積は増加するので、その増加に応じて各蓄積容量における容量を増加させることも可能となる。但し、溝の数が一つであっても、一つの溝の側壁の面積に応じて各蓄積容量における容量は増加するので、必要以上に数多くの溝を掘って製造工程を複雑高度化させたり歩留まりを低下させたりしないようにするのが好ましい。

【0015】本発明の電気光学装置の一の態様では、前記複数の蓄積容量は夫々、前記溝内に形成された一部から延設されて前記溝外の前記層間絶縁膜上にも形成されている。

【0016】この態様によれば、溝の内外に跨って蓄積容量が形成されているため、3次元的に大きな広がりを持つ大容量の蓄積容量が構築される。

【0017】本発明の電気光学装置の他の態様では、前記複数の蓄積容量は夫々、前記一方の基板上において前記走査線に沿った領域と前記データ線下に位置する領域とに形成されている。

【0018】この態様によれば、蓄積容量は、走査線に沿った領域とデータ線下に位置する領域とに形成されているので、画素開口領域を格子状に囲む非開口領域を有効利用して、大容量の蓄積容量が構築される。

【0019】本発明の電気光学装置の他の態様では、前記複数の蓄積容量は夫々、前記側壁を規定する前記層間絶縁膜部分上及び前記底を規定する前記遮光膜部分上に順に積層された、第1導電膜、第1絶縁膜及び第2導電膜を含む。

【0020】この態様によれば、誘電体膜として機能する第1絶縁膜が、第1蓄積容量電極として機能する第1導電膜及び第2蓄積容量電極として機能する第2導電膜により挟持されてなる薄膜コンデンサ構造を有する凹状の蓄積容量が溝内に構築される。特に、第1導電膜は、

遮光膜と接触しているので、遮光膜として例えば高融点金属等の導電性のものを用いれば、第1蓄積容量電極としての第1導電膜への配線の少なくとも一部として遮光膜を利用することも可能となり、これにより第1導電膜に至る配線抵抗を下げることができる。また、遮光膜を配線として用いて、第1導電膜やチャネル領域に対向する遮光膜部分を定電位に落とすことも可能となる。

【0021】この態様では、前記複数の蓄積容量は夫々、前記第2導電膜上に順に積層された、第2絶縁膜及び第3導電膜を更に備えてよい。

【0022】このように構成すれば、第1並びに第2絶縁膜が、第1及び第2導電膜並びに第2及び第3導電膜に夫々挟持されてなると共に第2導電膜を介して直列接続された2つの薄膜コンデンサ構造を有する大容量の蓄積容量が溝内に構築される。

【0023】上述の蓄積容量が第1導電膜、第1絶縁膜及び第2導電膜を含む態様では、前記複数の蓄積容量は夫々、前記第1導電膜と前記側壁を規定する前記層間絶縁膜部分及び前記底を規定する前記遮光膜部分との間に介在する第3絶縁膜を更に備えてよい。

【0024】このように構成すれば、第1蓄積容量電極としての第1導電膜と溝の底を規定する遮光膜とは、電気的に相互に絶縁される。このため、第1導電膜及び遮光膜の間で電位が同様に変動等することによる悪影響を未然に防げる。或いは、遮光膜として例えば高融点金属等の導電性のものを用いれば、溝の底を規定する遮光膜を、第1蓄積容量電極とは異なる電位を持つ配線の一部として利用することも可能となる。

【0025】また、上述の蓄積容量が第1導電膜、第1絶縁膜及び第2導電膜を含む態様では、前記第1から第3導電膜のうち少なくとも一つは、前記薄膜トランジスタ、前記データ線及び前記走査線を構成する複数の導電膜のうちいずれか一つと同一膜からなってよい。

【0026】このように構成すれば、蓄積容量と薄膜トランジスタとを少なくとも部分的に同一導電膜から構成できるので、製造工程の簡略化を図ることができる。例えば、薄膜トランジスタにおける半導体層としての導電性のポリシリコン膜と同一膜を、蓄積容量における第1蓄積容量電極として用いたり、薄膜トランジスタにおけるゲート電極としての導電性のポリシリコン膜と同一膜を、蓄積容量における第2蓄積容量電極として用いることが可能である。

【0027】更にまた、上述の蓄積容量が第1導電膜、第1絶縁膜及び第2導電膜を含む態様では、前記第1から第3絶縁膜のうち少なくとも一つは、前記薄膜トランジスタを構成する絶縁膜並びに前記薄膜トランジスタ、前記データ線及び前記走査線を相互に絶縁する複数の絶縁膜のうちいずれか一つと同一膜からなってよい。

【0028】このように構成すれば、蓄積容量と薄膜トランジスタとを少なくとも部分的に同一絶縁膜から構成

できるので、製造工程の簡略化を図ることができる。例えば、薄膜トランジスタにおけるゲート絶縁膜を、蓄積容量における誘電体膜として用いることが可能である。

【0029】但し、蓄積容量と薄膜トランジスタとを相異なる導電膜及び絶縁膜から構成してもよい。このように構成すれば、溝の側壁を規定する層間絶縁膜上における成膜工程を含む蓄積容量を形成する工程と、単純な積層構造を持つ薄膜トランジスタを形成する工程とを別個に行えるので、夫々の工程を効率的に行うことが出来る。また例えば、各導電膜に適した抵抗値が夫々得られるように別個のイオン打ち込み工程を行うことも可能となる。

【0030】本発明の他の態様では、前記遮光膜は、Ti、Cr、W、Ta、Mo及びPdのうちの少なくとも一つを含む。

【0031】この態様によれば、遮光膜は、不透明な高融点金属であるTi、Cr、W、Ta、Mo及びPdのうちの少なくとも一つを含む、例えば、金属単体、合金、金属シリサイド等から構成されるため、TFTアレイ基板上の遮光膜形成工程の後に行われるTFT形成工程における高温処理により、遮光膜が破壊されたり溶融しないようにできる。

【0032】本発明の他の態様では、前記側壁を規定する層間絶縁膜部分はテーパ状に形成されている。

【0033】この態様によれば、溝の側壁を規定する層間絶縁膜部分がテーパ状に形成されているので、薄膜形成技術等を用いて当該溝の側壁に蓄積容量の一部を比較的容易に形成することが可能となると共に、溝を開孔した後の工程で溝内に形成される、例えば、ポリシリコン膜、レジスト等が溝内に残ることがない。

【0034】尚、層間絶縁膜に溝を開孔する際に、ウェットエッチングをドライエッチング後に又は単独で行うことにより、比較的容易に側壁をテーパ状に形成できる。

【0035】本発明の電気光学装置の製造方法は上記課題を解決するために、上述した本発明の電気光学装置の製造方法であって、前記一方の基板上の所定領域に前記遮光膜を形成する工程と、前記一方の基板及び前記遮光膜上に前記層間絶縁膜を堆積する工程と、前記層間絶縁膜上に前記溝に対応するレジストパターンをフォトリソグラフィで形成する工程と、該レジストパターンを介して所定時間のエッチングを行い前記遮光膜に至るまで前記溝を掘る工程と、前記層間絶縁膜上に前記薄膜トランジスタ及び前記走査線を形成すると共に少なくとも前記溝内に前記蓄積容量を形成する工程と、前記薄膜トランジスタ、前記走査線及び前記蓄積容量上に他の層間絶縁膜を介して前記データ線を形成する工程とを含む。

【0036】本発明の電気光学装置の製造方法によれば、先ず、一方の基板上の所定領域に、遮光膜が形成される。次に、この遮光膜上及び一方の基板上に、層間絶

縁膜が堆積される。次に、この層間絶縁膜上に溝に対応するレジストパターンがフォトリソグラフィにより形成され、更に、このレジストパターンを介しての所定時間のエッチングが行われて、遮光膜に至るまで溝が掘られる。この際、例えばドライエッチングを用いれば、ほぼ露光寸法通りに開孔できる。次に、このように溝が掘られた層間絶縁膜上に、薄膜トランジスタ及び走査線が形成され、少なくとも溝内には、蓄積容量が形成される。最後に、このように形成された薄膜トランジスタ、走査線及び蓄積容量上に、他の層間絶縁膜を介してデータ線が形成される。従って、上述した本発明の第1の電気光学装置を比較的容易に製造することが出来る。

【0037】尚、上述の溝を掘る際のエッチング工程において、ウエットエッチング工程をドライエッチング後に又は単独で用いることにより、溝の側壁をテーパ状に形成できる。

【0038】本発明のこのような作用及び他の利得は次に説明する実施形態から明らかにする。

【0039】

【発明の実施の形態】以下、本発明の実施形態を図面に基づいて説明する。尚、本実施の形態では、電気光学装置の一例として液晶装置を用いて説明する。

【0040】(液晶装置の第1実施形態) 本発明による液晶装置の第1実施形態について、特に画像表示領域における構成を中心としてその動作と共に、図1から図3を参照して説明する。図1は、液晶装置の画像表示領域を構成するマトリクス状に形成された複数の画素における各種素子、配線等の等価回路である。図2は、データ線、走査線、画素電極、遮光膜等が形成されたTFTアレイ基板の相隣接する複数の画素群の平面図であり、図3は、図2のA-A'断面図である。尚、図3においては、各層や各部材を図面上で認識可能な程度の大きさとするため、各層や各部材毎に縮尺を異ならしめてある。

【0041】図1において、本実施形態による液晶装置の画像表示領域を構成するマトリクス状に形成された複数の画素は夫々、画素電極9aと画素電極9aを制御するためのTFT30とからなる。TFT30のソース電極には、画像信号が供給されるデータ線6aが電気的に接続されている。データ線6aに書き込む画像信号S1、S2、…、Snは、この順に線順次に供給しても構わないし、相隣接する複数のデータ線6a同士に対して、グループ毎に供給するようにしても良い。また、TFT30のゲート電極には、走査線3aが電気的に接続されており、所定のタイミングで、走査線3aにパルス的に走査信号G1、G2、…、Gmを、この順に線順次で印加するように構成されている。画素電極9aは、TFT30のドレイン電極に電気的に接続されており、スイッチング素子であるTFT30を一定期間だけそのスイッチを閉じることにより、データ線6aから供給される画像信号S1、S2、…、Snを所定のタイミングで

書き込む。画素電極9aを介して液晶に書き込まれた所定レベルの画像信号S1、S2、…、Snは、対向基板(後述する)に形成された対向電極(後述する)との間で一定期間保持される。液晶は、印加される電圧レベルにより分子集合の配向や秩序が変化することにより、光を変調し、階調表示を可能にする。ノーマリー・ホワイトモードであれば、印加された電圧に応じて入射光がこの液晶部分を介して通過不可能とされ、ノーマリーブラックモードであれば、印加された電圧に応じて入射光がこの液晶部分を介して通過可能とされ、全体として液晶装置からは画像信号に応じたコントラストを持つ光が射出する。ここで、保持された画像信号がリークするのを防ぐために、画素電極9aと対向電極との間に形成される液晶容量と並列に蓄積容量70を付加する。例えば、画素電極9aの電圧は、ソース電圧が印加された時間よりも3桁も長い時間だけ蓄積容量70により保持される。これにより、保持特性は更に改善され、コントラスト比の高い液晶装置が実現できる。尚、このように蓄積容量70を形成する方法としては、図1に示すように容量を形成するための配線である容量線3bを設けても良いし、前段の走査線3aとの間で容量を形成してもよい。

【0042】図2において、液晶装置のTFTアレイ基板上には、マトリクス状に複数の透明な画素電極9a(点線部9a'により輪郭が示されている)が設けられており、画素電極9aの縦横の境界に各々沿ってデータ線6a、走査線3a及び容量線3bが設けられている。データ線6aは、コンタクトホール5を介してポリシリコン膜等からなる半導体層1aのうち後述のソース領域に電気的接続されており、画素電極9aは、コンタクトホール8を介して半導体層1aのうち後述のドレイン領域に電気的接続されている。また、半導体層1aのうちチャネル領域1a'(図中右下りの斜線の領域)に対向するように走査線3aが配置されており、走査線3aはゲート電極として機能する。このように、走査線3aとデータ線6aとの交差する個所には夫々、チャネル領域1a'に走査線3aがゲート電極として対向配置されたTFT(即ち、図1に示したTFT30)が設けられている。

【0043】容量線3bは、走査線3aに沿ってほぼ直線状に伸びる本線部と、データ線6aと交差する箇所からデータ線6aに沿って前段側(図中、上向き)に突出した突出部とを有する。

【0044】また、図中右上がりの斜線で示した領域には、走査線3a、容量線3b、データ線6a及びTFTの下側を通るように、第1遮光膜11aが設けられている。特に、第1遮光膜11aは、各TFTのチャネル領域1a'をTFTアレイ基板側から見て夫々覆う位置にも設けられており、当該チャネル領域1a'におけるTFTアレイ基板側からの戻り光に対する遮光機能を発揮している。

【0045】本実施形態では特に、図2中、太線で囲んだ領域において後述の層間絶縁膜（図3参照）に溝72が設けられており、その溝72の内外における容量線3bに対向する領域には、蓄積容量が形成されている。より具体的には、半導体層1aが容量線3bに沿って延設されて第1蓄積容量電極1fとされており、この第1蓄積容量電極1f及び容量線3bの間に半導体層1a上に形成される後述のゲート絶縁膜（図3参照）が延設されてなる誘電体膜が挟持されて、薄膜コンデンサの構造を有する蓄積容量が各画素毎に形成されている。

【0046】次に図3の断面図に示すように、液晶装置は、透明な一方の基板の一例を構成するTFTアレイ基板10と、これに対向配置される透明な他方の基板の一例を構成する対向基板20とを備えている。TFTアレイ基板10は、例えば石英基板からなり、対向基板20は、例えばガラス基板や石英基板からなる。TFTアレイ基板10には、画素電極9aが設けられており、その上側には、ラビング処理等の所定の配向処理が施された配向膜16が設けられている。画素電極9aは例えば、ITO膜（インジウム・ティン・オキサイド膜）などの透明導電性薄膜からなる。また配向膜16は例えば、ポリイミド薄膜などの有機薄膜からなる。

【0047】他方、対向基板20には、その全面に渡って対向電極（共通電極）21が設けられており、その下側には、ラビング処理等の所定の配向処理が施された配向膜22が設けられている。対向電極21は例えば、ITO膜などの透明導電性薄膜からなる。また配向膜22は、ポリイミド薄膜などの有機薄膜からなる。

【0048】TFTアレイ基板10には、各画素電極9aに隣接する位置に、各画素電極9aをスイッチング制御する画素スイッチング用TFT30が設けられている。

【0049】対向基板20には、更に図3に示すように、各画素の開口領域以外の領域に、ブラックマスク或いはブラックマトリクスと称される第2遮光膜23が設けられている。このため、対向基板20の側から入射光が画素スイッチング用TFT30の半導体層1aのチャネル領域1a'やLDD（Lightly Doped Drain）領域1b及び1cに侵入することはない。更に、第2遮光膜23は、コントラストの向上、色材の混色防止などの機能を有する。

【0050】このように構成され、画素電極9aと対向電極21とが対面するように配置されたTFTアレイ基板10と対向基板20との間には、後述のシール材（図11及び図12参照）により囲まれた空間に液晶が封入され、液晶層50が形成される。液晶層50は、画素電極9aからの電界が印加されていない状態で配向膜16及び22により所定の配向状態をとる。液晶層50は、例えば一種又は数種類のネマティック液晶を混合した液晶からなる。シール材は、二つの基板10及び20をそ

れらの周辺で貼り合わせるための、例えば光硬化性樹脂や熱硬化性樹脂からなる接着剤であり、両基板間の距離を所定値とするためのグラスファイバー或いはガラスピーズ等のスペーサが混入されている。

【0051】更に図3に示すように、画素スイッチング用TFT30に各々対向する位置においてTFTアレイ基板10と各画素スイッチング用TFT30との間に、第1遮光膜11aが設けられている。第1遮光膜11aは、好ましくは不透明な高融点金属であるTi、Cr、W、Ta、Mo及びPdのうちの少なくとも一つを含む、金属単体、合金、金属シリサイド等から構成される。このような材料から構成すれば、TFTアレイ基板10上の第1遮光膜11aの形成工程の後に行われる画素スイッチング用TFT30の形成工程における高温処理により、第1遮光膜11aが破壊されたり溶融しないようになります。第1遮光膜11aが形成されているので、TFTアレイ基板10の側からの戻り光等が画素スイッチング用TFT30のチャネル領域1a'やLDD領域1b、1cに入射する事態を未然に防ぐことができ、これに起因した光電流の発生により画素スイッチング用TFT30の特性が劣化することはない。

【0052】更に、第1遮光膜11aと複数の画素スイッチング用TFT30との間に、第1層間絶縁膜12が設けられている。第1層間絶縁膜12は、画素スイッチング用TFT30を構成する半導体層1aを第1遮光膜11aから電気的絶縁するために設けられるものである。更に、第1層間絶縁膜12は、TFTアレイ基板10のほぼ全面に形成されることにより、画素スイッチング用TFT30のための下地膜としての機能をも有する。即ち、TFTアレイ基板10の表面の研磨時における荒れや、洗浄後に残る汚れ等で画素スイッチング用TFT30の特性の劣化を防止する機能を有する。第1層間絶縁膜12は、例えば、NSG（ノンドープシリケートガラス）、PSG（リンシリケートガラス）、BSG（ボロンシリケートガラス）、BPSG（ボロンリンシリケートガラス）などの高絶縁性ガラス又は、酸化シリコン膜、窒化シリコン膜等からなる。第1層間絶縁膜12により、第1遮光膜11aが画素スイッチング用TFT30等を汚染する事態を未然に防ぐことができる。

【0053】本実施形態では、ゲート絶縁膜2を走査線3aに対向する位置から延設して誘電体膜として用い、半導体膜1aを延設して第1蓄積容量電極1fとし、更にこれらに対向する容量線3bの一部を第2蓄積容量電極とすることにより、蓄積容量70が構成されている。より詳細には、半導体層1aの高濃度ドレイン領域1eが、データ線6a及び走査線3aの下に延設されて、同じくデータ線6a及び走査線3aに沿って伸びる容量線3b部分に絶縁膜2を介して対向配置されて、第1蓄積容量電極（半導体層）1fとされている。特に蓄積容量70の誘電体としての絶縁膜2は、高温酸化によりポリ

シリコン膜上に形成されるTFT30のゲート絶縁膜2に他ならないので、薄く且つ高耐圧の絶縁膜とすることができる、蓄積容量70は比較的小面積で大容量の蓄積容量として構成できる。

【0054】この結果、データ線6a下の領域及び走査線3aに沿って液晶のディスクリネーションが発生する領域（即ち、容量線3bが形成された領域）という開口領域を外れたスペースを有効に利用して、画素電極9aの蓄積容量を増やすことが出来る。

【0055】尚、図3においてTFT30の左右両側に示された蓄積容量70のうち右側にあるものは、当該TFT30を介して駆動される画素電極9aと並列接続されており、左側にあるものは、当該TFT30に隣接する（図2で下側に位置する）TFTを介して駆動される画素電極に並列接続されている。

【0056】図3において、画素スイッチング用TFT30は、LDD（Lightly Doped Drain）構造を有しており、走査線3a、当該走査線3aからの電界によりチャネルが形成される半導体層1aのチャネル領域1a'、走査線3aと半導体層1aとを絶縁するゲート絶縁膜2、データ線6a、半導体層1aの低濃度ソース領域（ソース側LDD領域）1b及び低濃度ドレイン領域（ドレイン側LDD領域）1c、半導体層1aの高濃度ソース領域1d並びに高濃度ドレイン領域1eを備えている。高濃度ドレイン領域1eには、複数の画素電極9aのうちの対応する一つが接続されている。ソース領域1b及び1d並びにドレイン領域1c及び1eは後述のように、半導体層1aに対し、n型又はp型のチャネルを形成するかに応じて所定濃度のn型用又はp型用のドーパントをドープすることにより形成されている。n型チャネルのTFTは、動作速度が速いという利点があり、画素のスイッチング素子である画素スイッチング用TFT30として用いられることが多い。本実施形態では特にデータ線6aは、A1等の低抵抗な金属膜や金属シリサイド等の合金膜などの遮光性の薄膜から構成されている。また、走査線3a、ゲート絶縁膜2及び第1層間絶縁膜12の上には、高濃度ソース領域1dへ通じるコンタクトホール5及び高濃度ドレイン領域1eへ通じるコンタクトホール8が各々形成された第2層間絶縁膜4が形成されている。このソース領域1bへのコンタクトホール5を介して、データ線6aは高濃度ソース領域1dに電気的接続されている。更に、データ線6a及び第2層間絶縁膜4の上には、高濃度ドレイン領域1eへのコンタクトホール8が形成された第3層間絶縁膜7が形成されている。この高濃度ドレイン領域1eへのコンタクトホール8を介して、画素電極9aは高濃度ドレイン領域1eに電気的接続されている。前述の画素電極9aは、このように構成された第3層間絶縁膜7の上面に設けられている。尚、画素電極9aと高濃度ドレイン領域1eとは、データ線6aと同一のA1膜や走査線3b

と同一のポリシリコン膜を中継しての電気的接続するようにもよい。

【0057】画素スイッチング用TFT30は、好ましくは上述のようにLDD構造を持つが、低濃度ソース領域1b及び低濃度ドレイン領域1cに不純物イオンの打ち込みを行わないオフセット構造を持ってよいし、ゲート電極3aをマスクとして高濃度で不純物イオンを打ち込み、自己整合的に高濃度ソース及びドレイン領域を形成するセルフアライメント型のTFTであってもよい。

【0058】また本実施形態では、画素スイッチング用TFT30のゲート電極（データ線3a）をソースードレイン領域1b及び1e間に1個のみ配置したシングルゲート構造としたが、これらの間に2個以上のゲート電極を配置してもよい。この際、各々のゲート電極には同一の信号が印加されるようにする。このようにデュアルゲート（ダブルゲート）或いはトリプルゲート以上でTFTを構成すれば、チャネルとソースードレイン領域接合部のリーク電流を防止でき、オフ時の電流を低減することができる。これらのゲート電極の少なくとも1個をLDD構造或いはオフセット構造にすれば、更にオフ電流を低減でき、安定したスイッチング素子を得ることができる。

【0059】本実施形態では特に、第1層間絶縁膜12には、図2で太線で囲まれた各領域において、図3に示すように、対向基板20側から第1遮光膜11aに至る溝72が掘られている。即ち、溝72は、第1層間絶縁膜12により側壁が規定されており且つ第1遮光膜11aにより底が規定されている。従って、この溝72の深さは、第1層間絶縁膜12の膜厚にほぼ等しい。そして、この溝72内にも蓄積容量70が形成されている。即ち、溝72の側壁を規定する第1層間絶縁膜12部分上及び溝72の底を規定する第1遮光膜11a部分上に、第1蓄積容量電極1f、誘電体膜としてのゲート絶縁膜2及び第2蓄積容量電極としての容量線3bが積層形成されている。従って、溝72が無い場合と比較して、溝72の側壁に沿って形成されている分だけ蓄積容量70の容量値が大きくされている。しかも、溝72の深さは、第1層間絶縁膜12の膜厚にほぼ等しいため、各画素に設けられた蓄積容量70間における容量値のバラツキは、前述した従来技術（特開昭64-81262号）の如く分厚い基板が途中まで掘られており深さが一定しない溝内に蓄積容量を形成する場合と比較して、格段に小さく済む。

【0060】このように本実施形態によれば、溝72を利用して3次元的な広がりを持つ蓄積容量70により十分な容量を確保しつつ、同時に溝72の深さの不均一に起因した各画素間における容量のバラツキを低減することが出来、最終的に蓄積容量70の各画素間におけるバラツキに起因した表示ムラを低減できる。尚、このように第1層間絶縁膜12を対向基板20側から第1遮光膜

11 a側まで至る溝72（貫通溝）は、例えば、後述の製造プロセスで説明するようにエッチングにより容易に形成することが可能であり、特に第1遮光膜11 aをエッチングしないエッチングガスやエッチング液を用いることにより、第1遮光膜11 aをエッチングストッパー（エッチング停止材）として機能させることが出来る。これらの結果、第1層間絶縁膜12のみを貫通して第1遮光膜11 aが殆ど又は全く掘られていない構造も容易に得られるのである。

【0061】このように掘られる溝72の平面形状は、画素開口率を下げないように各画素の非開口領域内に収まるように溝72を掘るのであれば、図2に示したように、正方形、長方形等の矩形でもよいし、或いは円形、星型等の任意の形状でよい。矩形であれば、同一容積の溝72を掘った場合に側壁の面積を相対的に大きく取れないので、容量を増加させる観点から有利である。また、例えば円形であれば、溝72の角において発生し易いクラックの発生を抑制することができ、当該液晶装置の信頼性や歩留まり向上の観点から有利である。

【0062】各画素毎の蓄積容量70を形成するために掘られる溝の数は、一つでもよいし図2に示したように3つでもよく、更に後述の実施形態の如くに多数でもよい。溝の数を増加させれば、各蓄積容量に対応する溝の側壁の合計面積は増加するので、その増加に応じて各蓄積容量における容量値も増加する。但し、後述の製造プロセスにおけるフォトリソグラフィ工程、エッチング工程等の手間や製造歩留まり、或いは要求される装置性能や仕様を総合的に勘案して、各画素毎に必要な容量を得るに十分なだけ溝を掘り、不必要的溝は掘らないようになるのが好ましい。

【0063】また、第1遮光膜11 aの平面形状は、図2に示したように走査線3a及びデータ線6aに沿った格子状でもよいが、各TFT30毎又は各蓄積容量70毎に孤立した島状でもよいし、走査線3a又はデータ線6aに沿った縞状でもよい。或いは、各画素毎に、TFT30に対向する第1遮光膜11 a部分と溝72の底を規定する第1遮光膜11 a部分とは、図2及び図3に示したように、電気的に接続されていてもよいが、絶縁されていてもよい。更に、図2及び図3に示したように、各TFT30に対向する第1遮光膜部11 a部分同士が各画素間で電気的に接続されていてもよいし、絶縁されていてもよい。更にまた、図2及び図3に示したように、各溝72の底を規定する第1遮光膜11 a部分同士が電気的に接続されていてもよいが、絶縁されていてもよい。要するに、当該第1遮光膜11 aの平面形状は、各TFT30に対向する第1遮光膜11 a部分や各溝72の底を規定する第1遮光膜11 a部分を浮遊電位とするのか否か或いは定電位に落とすのか否かや、第1遮光膜11 aの全部又は一部を定電位配線等の専用配線として又は容量線3bや走査線3a用の冗長配線として利用

するのか否か等の配線事情に応じた平面形状とすればよい。

【0064】尚、以上説明した本実施形態では特に、図2及び図3に示すように、蓄積容量70は夫々、溝72内に形成された一部から延設されて溝72外の第1層間絶縁膜12上にも形成されており、更に、走査線3aに沿った領域とデータ線6a下に位置する領域とに形成されているので、各画素の非開口領域を非常に有効利用して、大容量の蓄積容量が構築される。また、蓄積容量70を構成する第1蓄積容量電極1fは、前述の如く高融点金属からなる導電性の第1遮光膜11 aと接触しているので、第1蓄積容量電極1fへの配線の少なくとも一部として第1遮光膜11 aを利用することも可能となり、これにより第1蓄積容量電極1fに至る配線抵抗を下げることができる。

【0065】また、容量線3bと走査線3aとは、同一のポリシリコン膜からなり、蓄積容量70の誘電体膜と画素スイッチング用TFT30のゲート絶縁膜2とは、同一の高温酸化膜からなり、第1蓄積容量電極1fと、画素スイッチング用TFT30のチャネル形成領域1a'、ソース領域1d、ドレイン領域1e等とは、同一の半導体層1aからなる。このため、TFTアレイ基板10上に形成される積層構造を単純化でき、更に、後述の液晶装置の製造方法において、同一の薄膜形成工程で容量線3b及び走査線3aを同時に形成でき、蓄積容量70の誘電体膜及びゲート絶縁膜2を同時に形成できる。

【0066】以上詳細に説明したように第1実施形態の液晶装置によれば、各画素間における蓄積容量70の容量のバラツキが小さく且つ各画素における蓄積容量70の容量が十分に大きいため、画面全体における表示ムラが低減されており高解像度且つ高ドット周波数の画像表示が可能である。しかも、蓄積容量を増大させるために画素開口率を殆ど犠牲にしていないので、画素開口率が高く明るい画像表示が可能である。

【0067】（液晶装置の第1実施形態における製造プロセス）次に、以上のような構成を持つ液晶装置の製造プロセスについて、図4及び図5を参照して説明する。尚、図4及び図5は各工程におけるTFTアレイ基板側の各層を、図3と同様に図2のA-A'断面に対応させて示す工程図である。

【0068】先ず、図4の工程(1)に示すように、石英基板、ハードガラス等のTFTアレイ基板10を用意する。ここで、好ましくはN₂（窒素）等の不活性ガス雰囲気且つ約900～1300℃の高温でアニール処理し、後に実施される高温プロセスにおけるTFTアレイ基板10に生じる歪みが少なくなるように前処理しておく。即ち、製造プロセスにおける最高温で高温処理される温度に合わせて、事前にTFTアレイ基板10を同じ温度かそれ以上の温度で熱処理しておく。そして、この

ように処理されたTFTアレイ基板10の全面に、Ti、Cr、W、Ta、Mo及びPd等の金属や金属シリサイド等の金属合金膜を、スパッタにより、1000～5000オングストローム程度の層厚、好ましくは約2000オングストロームの層厚の遮光膜11を形成する。

【0069】次に、工程(2)に示すように、該形成された遮光膜11上にフォトリソグラフィにより第1遮光膜11aのパターン(図2参照)に対応するレジストマスクを形成し、該レジストマスクを介して遮光膜11に対しエッチングを行うことにより、第1遮光膜11aを形成する。

【0070】次に工程(3)に示すように、第1遮光膜11aの上に、例えば、常圧又は減圧CVD法等によりTEOS(テトラ・エチル・オルソ・シリケート)ガス、TEB(テトラ・エチル・ボートレート)ガス、TMOP(テトラ・メチル・オキシ・フォスレート)ガス等を用いて、NSG、PSG、BSG、BPSGなどのシリケートガラス膜、窒化シリコン膜や酸化シリコン膜等からなる第1層間絶縁膜12を形成する。この第1層間絶縁膜12の層厚は、例えば、約5000～20000オングストローム、好ましくは約5000～10000オングストロームとする。

【0071】或いは、熱酸化膜を形成した後、更に減圧CVD法等により高温酸化シリコン膜(HTO膜)や窒化シリコン膜を約500オングストロームの比較的薄い厚さに順次堆積し、厚さ約2000オングストロームの多層構造を持つ第1層間絶縁膜12を形成してもよい。更に、このようなシリケートガラス膜に重ねて又は代えて、SOG(スピノンオンガラス: 紡糸状ガラス)をスピノコートして又はCMP(Chemical Mechanical Polishing)処理を施すことにより、平坦な膜を形成してもよい。このように第1層間絶縁膜12の上面を平坦化しておけば、後に上側にTFT30を形成し易いという利点が得られる。尚、第1層間絶縁膜12に対し、約900℃のアニール処理を施すことにより、汚染を防ぐと共に平坦化してもよい。

【0072】統いて、図3に示した3次元的な広がりを持つ蓄積容量70を形成するために、このように形成された第1層間絶縁膜12のうち図2に太線で示した各矩形領域に、溝72をエッチングにより開孔する。より具体的には、この第1層間絶縁膜12上に溝72を形成すべき各矩形領域に対応するレジストパターンをフォトリソグラフィにより形成し、更に、このレジストパターンを介してのF(フッ素)、Cl(塩素)、Br(臭素)等のハロゲンガスを用いた反応性エッチング、反応性イオンビームエッチング等のドライエッチングにより、当該各矩形領域を開孔する。或いは、このようなドライエッチングとウエットエッチングとを組み合わせて、各矩形領域を開孔する。このようなエッチングは、第1層間

絶縁膜12を貫通するだけの所定時間に亘って行われるが、前述のように高融点金属からなる第1遮光膜11aは、第1層間絶縁膜12と比べて非常にエッチングされ難いため、エッチングストッパーとして機能する。即ち、当該エッチング工程によって、第1層間絶縁膜12の膜厚にはほぼ等しい深さの溝72を比較的容易に形成できる。そして、第1層間絶縁膜12の膜厚は画像表示領域の全面に渡ってほぼ均一であるため、各溝72の深さも画像表示領域の全面に渡ってほぼ一定となる。従って、後工程により、各溝72内に均一性に優れた蓄積容量70を形成することが可能となる。

【0073】尚、このエッチングの際、反応性エッチング、反応性イオンビームエッチング等のような異方性エッチングにより、溝72を開孔した方が、開孔形状をマスク形状とほぼ同じにできるという利点がある。但し、ドライエッチングとウエットエッチングとを組み合わせて開孔すれば、溝72の側壁をテープ状にできるので、後に溝72の内外に側壁を跨って形成される蓄積容量70を構成する各膜が破断し難く、より信頼性の高い蓄積容量70を形成し易いという利点が得られる。

【0074】次に工程(4)に示すように、第1層間絶縁膜12の上に、約450～550℃、好ましくは約500℃の比較的低温環境中で、流量約400～600cc/m inのモノシリランガス、ジシリランガス等を用いた減圧CVD(例えば、圧力約20～40PaのCVD)により、アモルファスシリコン膜を形成する。その後、窒素雰囲気中で、約600～700℃にて約1～72時間、好ましくは、4～6時間のアニール処理を施すことにより、ポリシリコン膜1を約500～2000オングストロームの厚さ、好ましくは約1000オングストロームの厚さとなるまで固相成長させる。この際、nチャネル型のTFT30を作成する場合には、当該チャネル領域にSb(アンチモン)、As(砒素)、P(リン)などのV族元素のドーパントを僅かにイオン注入等によりドープしても良い。また、TFT30をpチャネル型とする場合には、B(ボロン)、Ga(ガリウム)、In(インジウム)などのIII族元素のドーパントを僅かにイオン注入等によりドープしても良い。尚、アモルファスシリコン膜を経ないで、減圧CVD法等によりポリシリコン膜を直接形成しても良い。或いは、減圧CVD法等により堆積したポリシリコン膜にシリコンイオンを打ち込んで一旦非晶質化(アモルファス化)し、その後アニール処理等により再結晶化させてポリシリコン膜を形成しても良い。

【0075】統いて、フォトリソグラフィ工程、エッチング工程等により、図2に示した如きチャネル領域1a'、第1蓄積容量電極1f等を含む所定パターンを有する半導体層1aを形成する。

【0076】次に工程(5)に示すように、TFT30を構成するチャネル領域1a'及び蓄積容量70を構成

する第1蓄積容量電極1f(図3参照)等を含む半導体層1aを、約900～1300℃の温度、好ましくは約1000℃の温度により熱酸化することにより、約300オングストロームの比較的薄い厚さの熱酸化シリコン膜を形成し、更に減圧CVD法等により高温酸化シリコン膜(HTO膜)や窒化シリコン膜を約500オングストロームの比較的薄い厚さに堆積し、多層構造を持つTFT30のゲート絶縁膜2と共に蓄積容量70用の絶縁膜2を形成する。この結果、半導体層1aの厚さは、約300～1500オングストロームの厚さ、好ましくは約350～500オングストロームの厚さとなり、絶縁膜2の厚さは、約200～1500オングストロームの厚さ、好ましくは約300～1000オングストロームの厚さとなる。このように高温熱酸化時間を短くすることにより、特に8インチ程度の大型ウエーハを使用する場合に熱によるそりを防止することができる。但し、半導体層1aを熱酸化することのみにより、単一層構造を持つ絶縁膜2を形成してもよい。

【0077】尚、工程(5)において特に限定されないが、第1蓄積容量電極1fとなる半導体層1a部分に、例えば、Pイオンをドーズ量約 $3 \times 10^{12} / \text{cm}^2$ でドープして、低抵抗化させてもよい。

【0078】次に工程(6)に示すように、減圧CVD法等によりポリシリコン膜を堆積した後、リン(P)を熱拡散し、このポリシリコン膜を導電化する。又は、Pイオンをポリシリコン膜の成膜と同時に導入したドープシリコン膜を用いてもよい。

【0079】そして、このように堆積されたポリシリコン膜に対して、フォトリソグラフィ工程、エッチング工程等を施して、図2に示した如き所定パターンの走査線3aと共に容量線3bを形成する。これらの容量線3b'(走査線3a)の層厚は、例えば、約3500オングストロームとされる。

【0080】但し、走査線3aや容量線3bを、ポリシリコン膜ではなく、Al等の金属膜又は金属シリサイド膜から形成してもよいし、若しくはこれらの金属膜又は金属シリサイド膜とポリシリコン膜とを組み合わせて多層に形成してもよい。この場合、走査線3aを、第1遮光膜1aが覆う領域の一分又は全部に対応する遮光膜として配置すれば、金属膜や金属シリサイド膜の持つ遮光性により、第2遮光膜23の一部を省略することも可能となる。この場合特に、対向基板20とTFTアレイ基板10との張り合わせずに画素開口率の低下を防ぐことが出来る利点がある。

【0081】続いて、図3に示した画素スイッチング用TFT30をLDD構造を持つnチャネル型のTFTとする場合、半導体層1aに、先ず低濃度ソース領域1b及び低濃度ドレイン領域1cを形成するために、走査線3a(ゲート電極)を拡散マスクとして、PなどのV族元素のドーパントを低濃度で(例えば、Pイオンを1～

$3 \times 10^{13} / \text{cm}^2$ のドーズ量にて)ドープする。これにより走査線3a下の半導体層1aはチャネル領域1a'となる。この不純物のドープにより容量線3b及び走査線3aも低抵抗化される。

【0082】次に工程(7)に示すように、TFT30を構成する高濃度ソース領域1b及び高濃度ドレイン領域1cを形成するために、走査線3aよりも幅の広いマスクでレジスト層202を走査線3a上に形成した後、同じくPなどのV族元素のドーパントを高濃度で(例えば、Pイオンを1～ $3 \times 10^{15} / \text{cm}^2$ のドーズ量にて)ドープする。また、TFT30をpチャネル型とする場合、半導体層1aに、低濃度ソース領域1b及び低濃度ドレイン領域1c並びに高濃度ソース領域1d及び高濃度ドレイン領域1eを形成するために、BなどのII族元素のドーパントを用いてドープする。

【0083】このように低濃度(工程(6))及び高濃度(工程(7))の2段階のドープにより、TFT30をLDD構造とすれば、ショートチャネル効果を低減できる利点が得られる。但し、2段階に分けてドープを行わなくてもよい。例えば、低濃度のドープを行わずに、オフセット構造のTFTとしてもよく、走査線3aをマスクとして、Pイオン、Bイオン等を用いたイオン注入技術によりセルフアライン型のTFTとしてもよい。この不純物のドープにより容量線3b及び走査線3aも更に低抵抗化される。

【0084】また、これらのTFT30の素子形成工程と並行して、nチャネル型TFT及びpチャネル型TFTから構成される相補型構造を持つデータ線駆動回路、走査線駆動回路等の周辺回路(図示せず)をTFTアレイ基板10上の周辺部に形成してもよい。このように、本実施形態において画素スイッチング用のTFT30は半導体層をポリシリコンで形成するので、画素スイッチング用のTFT30の形成時にほぼ同一工程で、周辺回路を形成することができ、製造上有利である。

【0085】次に図5の工程(8)に示すように、絶縁膜2、走査線3a及び容量線3bを覆うように、例えば、常圧又は減圧CVD法やTEOSガス等を用いて、NSG、PSG、BSG、BPSGなどのシリケートガラス膜、窒化シリコン膜や酸化シリコン膜等からなる第2層間絶縁膜4を形成する。第2層間絶縁膜4の層厚は、約5000～15000オングストロームが好ましい。そして、高濃度ソース領域1d及び高濃度ドレイン領域1eを活性化するために約1000℃のアニール処理を20分程度行った後、データ線6aに対するコンタクトホール5を(図2及び図3参照)反応性エッティング、反応性イオンビームエッティング等のドライエッティングにより開孔する。また、走査線3aや容量線3bを図示しない配線と接続するためのコンタクトホールも、コンタクトホール5と同一の工程により第2層間絶縁膜4に開孔する。このエッティングの際、反応性エッティング、

反応性イオンビームエッティング等のような異方性エッティングにより、コンタクトホール5を開孔した方が、開孔形状をマスク形状とほぼ同じにできるという利点がある。但し、ドライエッティングとウエットエッティングとを組み合わせて開孔すれば、コンタクトホール5をテーパ状にできるので、配線接続時における断線を防止できるという利点が得られる。

【0086】次に、工程(9)に示すように、第2層間絶縁膜4の上に、スパッタ処理等により、遮光性のA1等の低抵抗金属や金属シリサイド等を、約1000～5000オングストロームの厚さ、好ましくは約3000オングストロームに堆積した後、フォトリソグラフィ工程、エッティング工程等を施すことにより、データ線6aを形成する。

【0087】次に工程(10)に示すように、データ線6a上を覆うように、例えば、常圧又は減圧CVD法やTEOSガス等を用いて、NSG、PSG、BSG、BPSGなどのシリケートガラス膜、窒化シリコン膜や酸化シリコン膜等からなる第3層間絶縁膜7を形成する。第3層間絶縁膜7の層厚は、約5000～15000オングストロームが好ましい。尚、第3層間絶縁膜7の形成に際し、シリケートガラス膜等の表面にCMP処理を施したり、シリケートガラス膜等に代えて又は重ねて有機膜やSOGを形成して、第3層間絶縁膜7の上面を平坦化してもよい。このように平坦化すれば、第3層間絶縁膜7の表面の凹凸により引き起こされる液晶のディスクリネーション(配向不良)を低減できる。

【0088】その後、画素電極9aと高濃度ドレイン領域1eとを電気的接続するためのコンタクトホール8を、反応性エッティング、反応性イオンビームエッティング等のドライエッティングにより形成する。このエッティングの際、反応性エッティング、反応性イオンビームエッティング等のような異方性エッティングにより、コンタクトホール8を開孔した方が、開孔形状をマスク形状とほぼ同じにできるという利点がある。但し、ドライエッティングとウエットエッティングとを組み合わせて開孔すれば、コンタクトホール8をテーパ状にできるので、配線接続時における断線を防止できるという利点が得られる。

【0089】次に工程(11)に示すように、第3層間絶縁膜7の上に、スパッタ処理等により、ITO膜等の透明導電性薄膜を、約500～2000オングストロームの厚さに堆積し、フォトリソグラフィ工程、エッティング工程等により、画素電極9aを形成する。尚、当該液晶装置を反射型の液晶装置に用いる場合には、A1等の反射率の高い不透明な材料から画素電極9aを形成してもよい。

【0090】統いて、画素電極9aの上にポリイミド系の配向膜の塗布液を塗布した後、所定のプレティルト角を持つように且つ所定方向でラビング処理を施すことにより、配向膜16(図3参照)が形成される。

【0091】他方、図3に示した対向基板20については、ガラス基板等が先ず用意され、第2遮光膜23及び周辺見切りとしての第3遮光膜(図11及び図12参照)が、例えば金属クロムをスパッタした後、フォトリソグラフィ工程、エッティング工程を経て形成される。尚、これらの第2及び第3遮光膜は、Cr、Ni、Alなどの金属材料の他、カーボンやTiをフォトレジストに分散した樹脂ブラックなどの材料から形成してもよい。

【0092】その後、対向基板20の全面にスパッタ処理等により、ITO等の透明導電性薄膜を、約500～2000オングストロームの厚さに堆積することにより、対向電極21を形成する。更に、対向電極21の全面にポリイミド系の配向膜の塗布液を塗布した後、所定のプレティルト角を持つように且つ所定方向でラビング処理を施すこと等により、配向膜22(図3参照)が形成される。

【0093】最後に、上述のように各層が形成されたTFTアレイ基板10と対向基板20とは、配向膜16及び22が対面するようにシール材52により貼り合わされ、真空吸引等により、両基板間の空間に、例えば複数種類のネマティック液晶を混合してなる液晶が吸引されて、所定層厚の液晶層50が形成される。

【0094】以上の結果、図1から図3に示した第1実施形態の液晶装置が製造される。

【0095】尚、以上説明した製造プロセスにおいて、蓄積容量70を構成する導電膜(即ち、一対の蓄積容量)とTFT30を構成する導電膜(即ち、チャネル領域を含む半導体層及びゲート電極)とは、同一膜からなり、更に、蓄積容量70を構成する誘電体膜及びTFT30を構成するゲート導電膜とは、同一膜からなるので、全体として製造工程の簡略化を図ることができる。但し、蓄積容量と薄膜トランジスタとを相異なる導電膜及び絶縁膜から構成してもよい。このように構成すれば特に、溝72の側壁を規定する第1層間絶縁膜12上における成膜工程を含む蓄積容量70を形成する工程と、平面上に単純な積層構造を持つTFT30を形成する工程とを別個に行えるので、夫々の工程を効率的に行うことが出来る。また例えば、各導電膜に適した抵抗値が夫々得られるように別個のイオン打ち込み工程を行うことも可能となる。

【0096】(液晶装置の第2実施形態)本発明による液晶装置の第2実施形態について、図6及び図7を参照して説明する。第2実施形態は、蓄積容量に係る構成が第1実施形態と異なり、その他の部分の構成については第1実施形態と同様である。図6は、データ線、走査線、画素電極、遮光膜等が形成されたTFTアレイ基板の相隣接する複数の画素群の平面図であり、図7は、図6のB-B'断面図である。尚、図6及び図7においては、図2及び図3に示した第1実施形態と同様の構成要

素には同一の参照符号を付し、その説明は省略する。

【0097】図6において、第2実施形態では第1実施形態とは異なり、図中太線で囲まれた溝72'が、データ線6a及び容量線3bの方向に対して細かく分断されており、一画素について多数の溝72'が設けられている。従って、第2実施形態によれば、第1実施形態と比較して、多数の溝72'の側壁に形成されている分だけ蓄積容量70'の容量が増加している。

【0098】即ち、図7に示すように、溝72'の外における第1層間絶縁膜12上及び溝72'の底における第1遮光膜11a上のみならず、溝72'の側壁における第1層間絶縁膜12上にも、ポリシリコン膜からなる第1蓄積容量電極1f、絶縁膜2及びポリシリコン膜からなる容量線3bから薄膜コンデンサ構造が、構築されている。このため、溝72'の数に応じて、溝72'の側壁の合計面積が増加し、各画素毎の蓄積容量70'は、その分だけ増加するのである。

【0099】以上説明したように、第2実施形態の液晶装置によれば、同一の基板上面積当たりの蓄積容量を多数の溝72'を掘ることにより効率的に増加させることができとなり、画素開口率を低下させることなく蓄積容量を増加させる観点から極めて有利である。

【0100】(液晶装置の変形形態)図8から図10を参照して以上説明した第1及び第2実施形態の変形形態について説明する。これらの変形形態は、溝内に形成された蓄積容量部分に関する変形形態であり、その他の部分の構成については上述の第1又は第2実施形態と同様であるため、この蓄積容量部分についてのみ説明を加える。尚、図8から図10は、図3に示したA-A'断面図に示された左側の蓄積容量70に対応する断面図であり、図3に示した第1実施形態と同様の構成要素には同一の参照符号を付し、その説明は省略する。

【0101】図8において、蓄積容量170は、少なくとも部分的に、TFT30(図3参照)を構成する導電膜や絶縁膜とは同一膜ではない導電膜及び絶縁膜を用いて、二つの直列接続された薄膜コンデンサ構造を持つように構成されている。即ち、第1絶縁膜181は、第1導電膜191及び第2導電膜192に挟持されており、第2絶縁膜182は、第2導電膜192及び第3導電膜193に挟持されている。そして、これら二つの蓄積容量が、第2導電膜192を介して直列接続されて大容量の蓄積容量171が溝72内に構築される。尚、第1絶縁膜181又は第2絶縁膜182をTFT30のゲート絶縁膜2と同一膜から形成してもよく、第1導電膜191又は第2導電膜192をTFT30のチャネル領域を含む半導体膜1aと同一膜から形成してもよい。或いは、第3導電膜193を、容量線3bから構成してもよい。図8の変形形態によれば、同一サイズの溝72内において効率的に蓄積容量を増加させることが出来有利である。

【0102】図9において、蓄積容量171は、TFT30を構成する絶縁膜とは同一膜でない絶縁膜193を少なくとも溝72内に設けることにより、溝72の底における第1遮光膜11a部分から第1蓄積容量電極1fが絶縁されるように構成されている。このように構成すれば、蓄積容量70と第1遮光膜11aとを電気的絶縁できるので、蓄積容量70に係る電位と無関係な電位を有する他の配線等の一部や冗長配線として蓄積容量70下にある第1遮光膜11a部分を利用することも可能となる。

【0103】図10において蓄積容量172は、溝72'の側壁を規定する第1層間絶縁膜12部分がテープ状に形成されている。このため、前述の製造プロセスの中で、薄膜形成技術等を用いて当該溝72'の側壁に蓄積容量172の一部を比較的容易に形成することが可能となると共に、溝72'を開孔した後の工程で溝内に形成される、例えば、ポリシリコン膜、レジスト等が溝内に残らないようにできる。尚、このように溝72'の側壁部分にテープを付けるためには、例えば、図4に示した工程(3)のエッティング工程において、ドライエッティング後にウエットエッティングを行えばよい。

【0104】(液晶装置の全体構成)以上のように構成された液晶装置の各実施形態の全体構成を図11及び図12を参照して説明する。尚、図11は、TFTアレイ基板10をその上に形成された各構成要素と共に対向基板20の側から見た平面図であり、図12は、図11のH-H'断面図である。

【0105】図11及び図12において、TFTアレイ基板10の上には、シール材52がその縁に沿って設けられており、その内側に並行して、例えば第2遮光膜23と同じ或いは異なる材料から成る周辺見切りとしての第3遮光膜53が設けられている。シール材52の外側の領域には、データ線6aに画像信号を所定タイミングで供給することによりデータ線6aを駆動するデータ線駆動回路101及び実装端子102がTFTアレイ基板10の一辺に沿って設けられており、走査線3aに走査信号を所定タイミングで供給することにより走査線3aを駆動する走査線駆動回路104が、この一辺に隣接する2辺に沿って設けられている。走査線3aに供給される走査信号遅延が問題にならないのならば、走査線駆動回路104は片側だけでも良いことは言うまでもない。また、データ線駆動回路101を画像表示領域の辺に沿って両側に配列してもよい。例えば奇数列のデータ線6aは画像表示領域の一方の辺に沿って配設されたデータ線駆動回路から画像信号を供給し、偶数列のデータ線は前記画像表示領域の反対側の辺に沿って配設されたデータ線駆動回路から画像信号を供給するようにしてもよい。この様にデータ線6aを歯状に駆動するようにすれば、データ線駆動回路の占有面積を拡張することができるため、複雑な回路を構成することが可能となる。更

にTFTアレイ基板10の残る一辺には、画像表示領域の両側に設けられた走査線駆動回路104間をつなぐための複数の配線105が設けられている。また、対向基板20のコーナー部の少なくとも1箇所においては、TFTアレイ基板10と対向基板20との間で電気的導通をとるための導通材106が設けられている。そして、図14に示したシール材52とほぼ同じ輪郭を持つ対向基板20が当該シール材52によりTFTアレイ基板10に固着されている。尚、TFTアレイ基板10上には、これらのデータ線駆動回路101、走査線駆動回路104等に加えて、複数のデータ線6aに画像信号を所定のタイミングで印加するサンプリング回路、複数のデータ線6aに所定電圧レベルのプリチャージ信号を画像信号に先行して各々供給するプリチャージ回路、製造途中や出荷時の当該液晶装置の品質、欠陥等を検査するための検査回路等を形成してもよい。

【0106】以上図1から図12を参照して説明した各実施形態では、データ線駆動回路101及び走査線駆動回路104をTFTアレイ基板10の上に設ける代わりに、例えばTAB(テープオートメイティッドボンディング基板)上に実装された駆動用LSIに、TFTアレイ基板10の周辺部に設けられた異方性導電フィルムを通して電気的及び機械的に接続するようにしてもよい。また、対向基板20の投射光が入射する側及びTFTアレイ基板10の出射光が出射する側には各々、例えば、TN(ツイステッドネマティック)モード、STN(スーパーTN)モード、D-STN(ダブル-STN)モード等の動作モードや、ノーマリー・ホワイトモード/ノーマリーブラックモードの別に応じて、偏光フィルム、位相差フィルム、偏光板などが所定の方向で配置される。

【0107】以上説明した各実施形態における液晶装置は、カラー液晶プロジェクタに適用されるため、3枚の液晶装置がRGB用のライトバルブとして各々用いられ、各パネルには各々RGB色分解用のダイクロイックミラーを介して分解された各色の光が投射光として各々入射されることになる。従って、各実施形態では、対向基板20に、カラーフィルタは設けられていない。しかしながら、第2遮光膜23の形成されていない画素電極9aに対向する所定領域にRGBのカラーフィルタをその保護膜と共に、対向基板20上に形成してもよい。このようにすれば、液晶プロジェクタ以外の直視型や反射型のカラー液晶テレビなどのカラー液晶装置に各実施形態における液晶装置を適用できる。更に、対向基板20上に1画素1個対応するようにマイクロレンズを形成してもよい。このようにすれば、入射光の集光効率を向上することで、明るい液晶装置が実現できる。更にまた、対向基板20上に、何層もの屈折率の相違する干渉層を堆積することで、光の干渉を利用して、RGB色を作り出すダイクロイックフィルタを形成してもよい。このダイクロイックフィルタ付き対向基板によれば、より明る

いカラー液晶装置が実現できる。

【0108】以上説明した各実施形態における液晶装置では、従来と同様に入射光を対向基板20の側から入射することとしたが、第1遮光膜11aを設けているので、TFTアレイ基板10の側から入射光を入射し、対向基板20の側から出射するようにしても良い。即ち、このように液晶装置を液晶プロジェクタに取り付けても、半導体層1aのチャネル領域1a'及びLDD領域1b、1cに光が入射することを防ぐことが出来、高画質の画像を表示することが可能である。ここで、従来は、TFTアレイ基板10の裏面側での反射を防止するために、反射防止用のAR被膜された偏光板を別途配置したり、ARフィルムを貼り付ける必要があった。しかし、各実施形態では、TFTアレイ基板10の表面と半導体層1aの少なくともチャネル領域1a'及びLDD領域1b、1cとの間に第1遮光膜11aが形成されているため、このようなAR被膜された偏光板やARフィルムを用いたり、TFTアレイ基板10そのものをAR処理した基板を使用する必要が無くなる。従って、各実施形態によれば、材料コストを削減でき、また偏光板貼り付け時に、ごみ、傷等により、歩留まりを落とすことがなく大変有利である。また、耐光性が優れているため、明るい光源を使用したり、偏光ビームスプリッタにより偏光変換して、光利用効率を向上させても、光によるクロストーク等の画質劣化を生じない。

【0109】また、各画素に設けられるスイッチング素子としては、正スタガ型又はコプラナー型のポリシリコンTFTであるとして説明したが、逆スタガ型のTFTやアモルファスシリコンTFT等の他の形式のTFTに対しても、各実施形態は有効である。また、TFTに限らず、シリコン基板に構成したトランジスタを有する電気光学装置にも有効である。

【0110】上記の実施の形態では液晶装置を用いて説明したが、これに限るものではなく、エレクトロルミネッセンスディスプレイ、プラズマディスプレイ等各種電気光学装置にも適用可能である。

【0111】(電子機器)次に、以上詳細に説明した液晶装置を備えた電子機器の実施の形態について図13から図15を参照して説明する。

【0112】先ず図13に、このように液晶装置100を備えた電子機器の概略構成を示す。

【0113】図13において、電子機器は、表示情報出力源1000、表示情報処理回路1002、駆動回路1004、液晶装置100、クロック発生回路1008並びに電源回路1010を備えて構成されている。表示情報出力源1000は、ROM(Read Only Memory)、RAM(Random Access Memory)、光ディスク装置などのメモリ、画像信号を同調して出力する同調回路等を含み、クロック発生回路1008からのクロック信号に基づいて、所定フォーマットの画像信号などの表示情報を

表示情報処理回路1002に出力する。表示情報処理回路1002は、増幅・極性反転回路、シリアルーバラレル変換回路、ローテーション回路、ガンマ補正回路、クランプ回路等の周知の各種処理回路を含んで構成されており、クロック信号に基づいて入力された表示情報からデジタル信号を順次生成し、クロック信号CLKと共に駆動回路1004に出力する。駆動回路1004は、液晶装置100を駆動する。電源回路1010は、上述の各回路に所定電源を供給する。尚、液晶装置100を構成するTFTアレイ基板の上に、駆動回路1004を搭載してもよく、これに加えて表示情報処理回路1002を搭載してもよい。

【0114】次に図14から図15に、このように構成された電子機器の具体例を各々示す。

【0115】図14において、電子機器の一例たる液晶プロジェクタ1100は、上述した駆動回路1004がTFTアレイ基板上に搭載された液晶装置100を含む液晶表示モジュールを3個用意し、各々RGB用のライトバルブ100R、100G及び100Bとして用いたプロジェクタとして構成されている。液晶プロジェクタ1100では、メタルハライドランプ等の白色光源のランプユニット1102から投射光が発せられると、3枚のミラー1106及び2枚のダイクロイックミラー1108によって、RGBの3原色に対応する光成分R、G、Bに分けられ、各色に対応するライトバルブ100R、100G及び100Bに各々導かれる。この際特にB光は、長い光路による光損失を防ぐために、入射レンズ1122、リレーレンズ1123及び出射レンズ1124からなるリレーレンズ系1121を介して導かれる。そして、ライトバルブ100R、100G及び100Bにより各々変調された3原色に対応する光成分は、ダイクロイックプリズム1112により再度合成された後、投射レンズ1114を介してスクリーン1120にカラー画像として投射される。

【0116】図15において、電子機器の他の例たるマルチメディア対応のラップトップ型のパーソナルコンピュータ(PC)1200は、上述した液晶装置100がトップカバーケース内に設けられており、更にCPU、メモリ、モデム等を収容すると共にキーボード1202が組み込まれた本体1204を備えている。

【0117】以上図14から図15を参照して説明した電子機器の他にも、液晶テレビ、ビューファインダ型又はモニタ直視型のビデオテープレコーダ、カーナビゲーション装置、電子手帳、電卓、ワードプロセッサ、エンジニアリング・ワークステーション(EWS)、携帯電話、テレビ電話、POS端末、タッチパネルを備えた装置等などが図13に示した電子機器の例として挙げられる。

【0118】以上説明したように、本実施の形態によれば、製造効率が高く高品位の画像表示が可能な液晶装置

を備えた各種の電子機器を実現できる。

【0119】

【発明の効果】本発明の電気光学装置によれば、比較的簡単な構成を用いて、各画素毎に十分に大きく且つ各画素間で均一性の高い蓄積容量を形成することが可能となり、これにより、表示画面全体に渡って表示ムラが低減されており高品位の画像表示が可能な電気光学装置を実現できる。

【0120】更に、本発明の電気光学装置の製造方法によれば、比較的簡単な工程制御により、本発明の電気光学装置を比較的容易に製造することが可能である。

【図面の簡単な説明】

【図1】液晶装置の第1実施形態における画像表示領域を構成するマトリクス状の複数の画素に設けられた各種素子、配線等の等価回路である。

【図2】液晶装置の第1実施形態におけるデータ線、走査線、画素電極、遮光膜等が形成されたTFTアレイ基板の相隣接する複数の画素群の平面図である。

【図3】図2のA-A'断面図である。

【図4】液晶装置の製造プロセスを順を追って示す工程図(その1)である。

【図5】液晶装置の製造プロセスを順を追って示す工程図(その2)である。

【図6】液晶装置の第2実施形態におけるデータ線、走査線、画素電極、遮光膜等が形成されたTFTアレイ基板の相隣接する複数の画素群の平面図である。

【図7】図6のB-B'断面図である。

【図8】本発明による液晶装置の一の変形形態において構内に形成される蓄積容量部分の拡大断面図である。

【図9】本発明による液晶装置の他の変形形態において構内に形成される蓄積容量部分の拡大断面図である。

【図10】本発明による液晶装置の他の変形形態において構内に形成される蓄積容量部分の拡大断面図である。

【図11】液晶装置の実施形態におけるTFTアレイ基板をその上に形成された各構成要素と共に対向基板の側から見た平面図である。

【図12】図11のH-H'断面図である。

【図13】本発明による電子機器の実施の形態の概略構成を示すブロック図である。

【図14】電子機器の一例として液晶プロジェクタを示す断面図である。

【図15】電子機器の他の例としてパーソナルコンピュータを示す正面図である。

【符号の説明】

1a…半導体層

1a'…チャネル領域

1b…低濃度ソース領域(ソース側LDD領域)

1c…低濃度ドレイン領域(ドレイン側LDD領域)

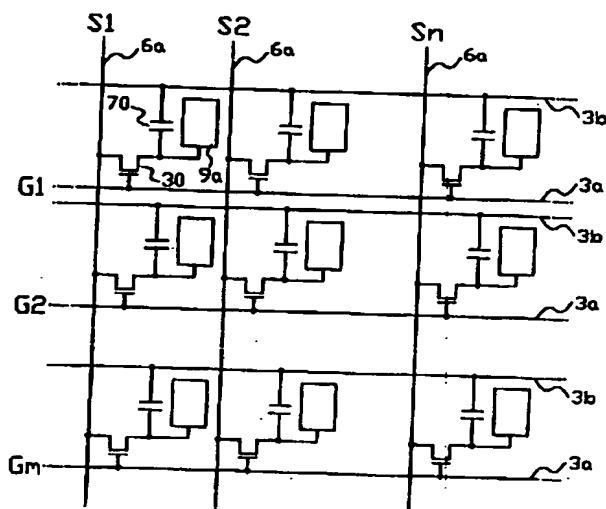
1d…高濃度ソース領域

1e…高濃度ドレイン領域

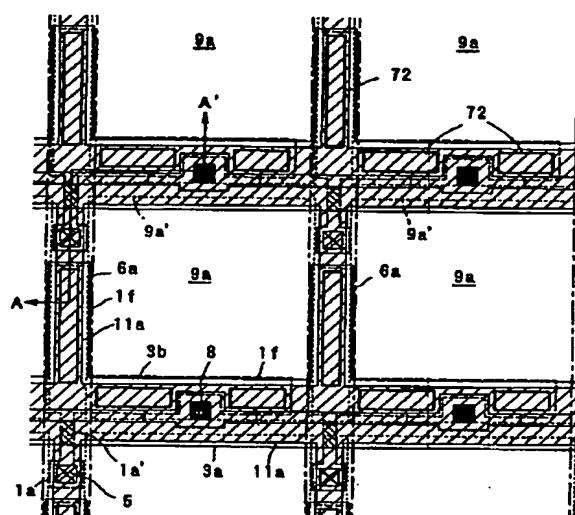
- 1 f … 第 1 蓄積容量電極
- 2 … ゲート絶縁膜
- 3 a … 走査線
- 3 b … 容量線 (第 2 蓄積容量電極)
- 4 … 第 2 層間絶縁膜
- 5 … コンタクトホール
- 6 a … データ線
- 7 … 第 3 層間絶縁膜
- 8 … コンタクトホール
- 9 a … 画素電極

1 0 … TFT アレイ基板
 1 1 a … 第 1 遮光膜
 1 2 … 第 1 層間絶縁膜
 1 6 … 配向膜
 2 0 … 対向基板
 3 0 … 画素スイッチング用の TFT
 5 0 … 液晶層
 7 0, 7 0', 1 7 0, 1 7 1, 1 7 2 … 優積容量
 7 2, 7 2' … 溝

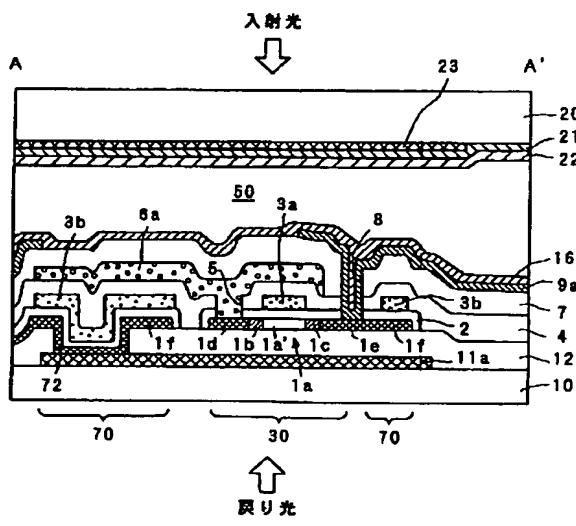
[1]



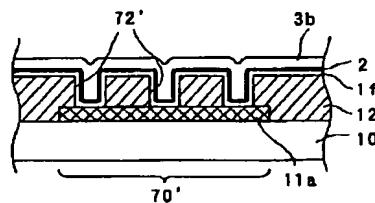
[图2]



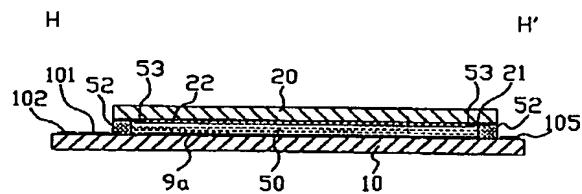
〔图3〕



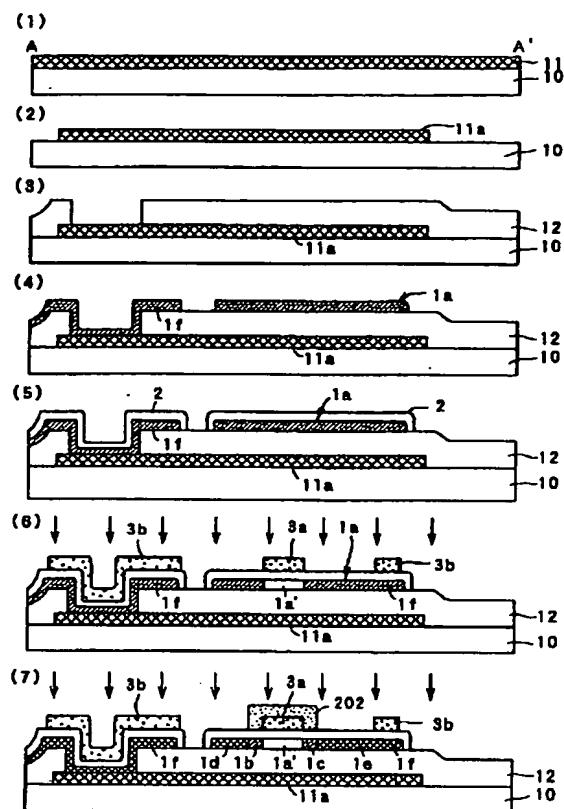
[圖 7]



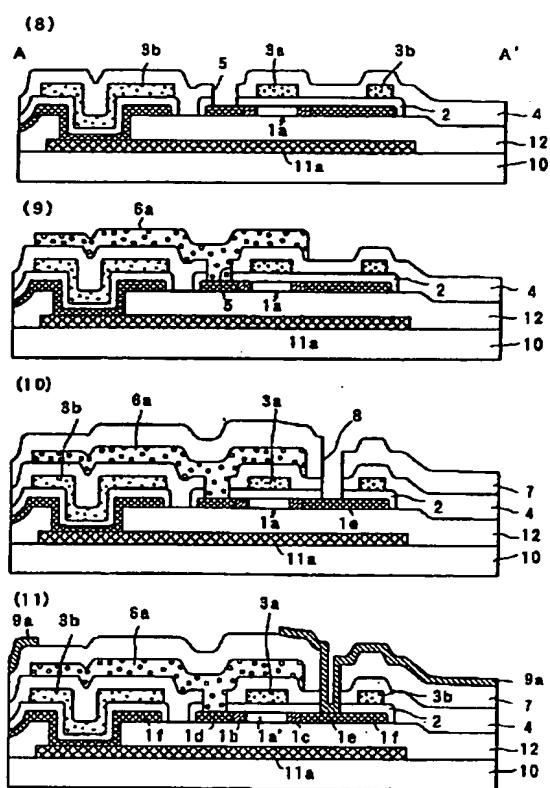
[図12]



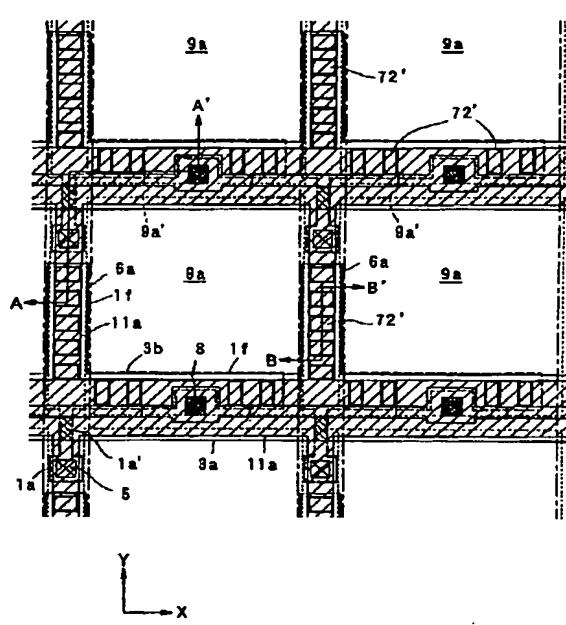
【図4】



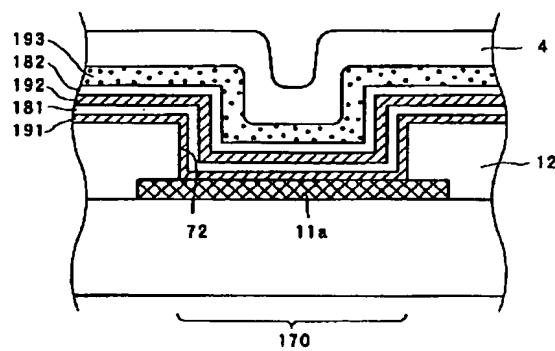
【図5】



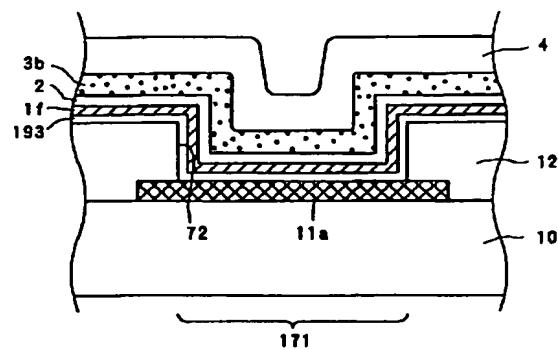
【図6】



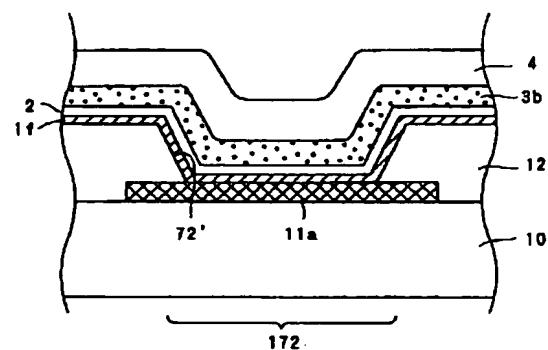
【図8】



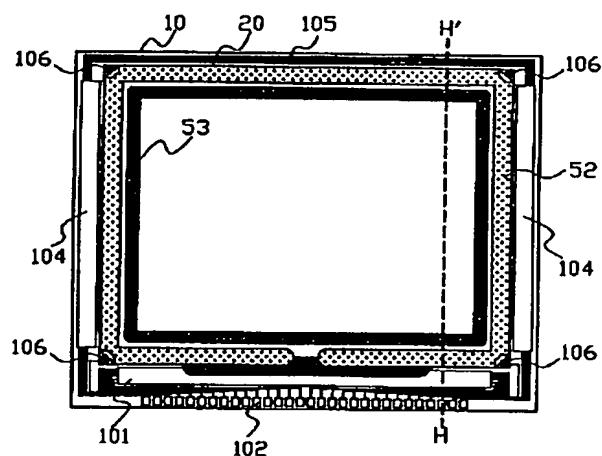
【図9】



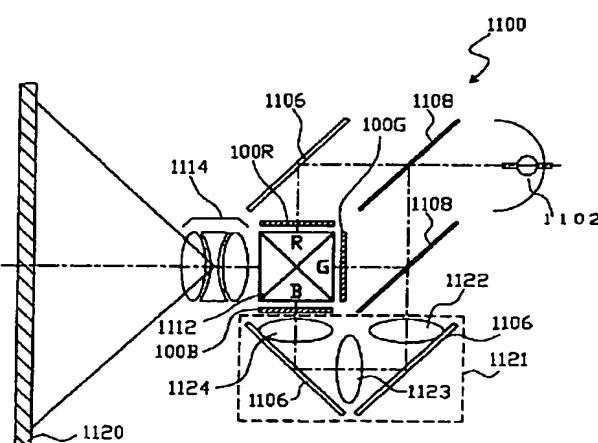
【図10】



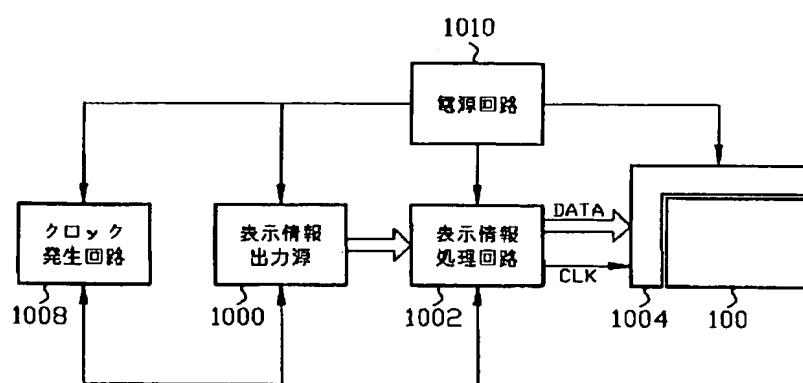
【図11】



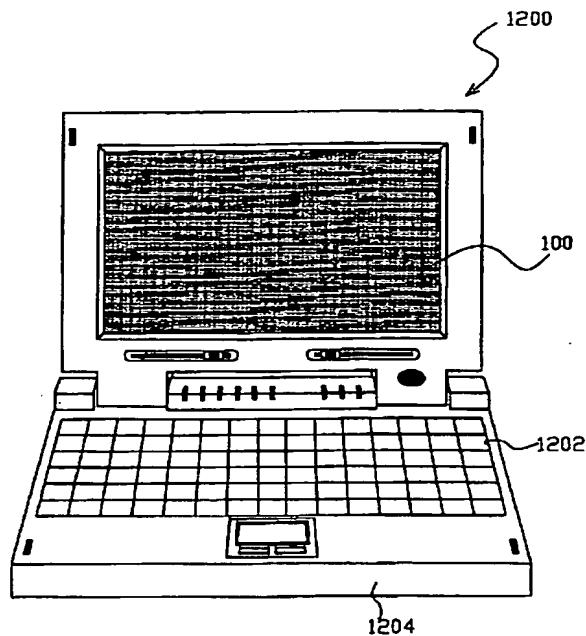
【図14】



【図13】



【図15】



フロントページの続き

Fターム(参考) 2H092 GA48 GA51 JA25 JA29 JA38
JA42 JA44 JA46 JB13 JB23
JB32 JB38 JB54 JB57 JB63
JB69 KA04 KA07 KB14 KB23
MA05 MA07 MA14 MA15 MA16
MA18 MA19 MA20 MA27 MA28
MA35 MA37 MA41 NA07 NA25
PA06 PA11 QA07 RA05
5C094 AA03 AA10 AA43 AA45 AA48
AA55 BA03 BA43 CA19 DA13
DB04 EA04 EA06 EB02 ED15
FB02 FB12 FB16 GB10

This Page is inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT OR DRAWING
- BLURED OR ILLEGIBLE TEXT OR DRAWING
- SKEWED/SLANTED IMAGES
- COLORED OR BLACK AND WHITE PHOTOGRAPHS
- GRAY SCALE DOCUMENTS
- LINES OR MARKS ON ORIGINAL DOCUMENT
- REPERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.
As rescanning documents *will not* correct images
problems checked, please do not report the
problems to the IFW Image Problem Mailbox